



AVALIAÇÃO E DESENVOLVIMENTO DE CIRCUITOS DIGITAIS TOLERANTES A FALHAS

Lucas Fernando Andrade Costa¹, Gutemberg Gonçalves dos Santos Júnior²

RESUMO

Com a necessidade de dispositivos eletrônicos mais confiáveis em ambientes de aplicação crítica e também com o avanço da eletrônica na redução das proporções de circuitos integrados, a problemática da ocorrência de falhas em circuitos digitais se faz evidente, de modo que a demanda de metodologias para o aumento da confiabilidade é uma realidade. Os sistemas que necessitam de alta confiabilidade, são aqueles em que a falha pode levar a acidentes, danos graves, ou até mesmo catástrofes, como usinas nucleares, aviãoica ou veículos autônomos. Já a redução dos circuitos integrados proporciona sérios problemas para a implementação de circuitos nanométricos, como consumo e dissipação de energia, vazamento de corrente e variações paramétricas e esses problemas levam a uma redução na confiabilidade dos dispositivos CMOS, o que pode comprometer seriamente os ganhos obtidos com o dimensionamento de tecnologia. Utilizando uma métrica de confiabilidade como ferramenta de análise, o presente trabalho propõe uma metodologia para o aumento da confiabilidade baseada no mascaramento lógico de votadores por TMR. É possível dividir o trabalho em duas vertentes, o desenvolvimento, validação e aplicação da metodologia proposta e o desenvolvimento de um software para aplicar a métrica de confiabilidade em circuitos descritos em Verilog e servir como ferramenta de auxílio ao projetista de circuitos digitais.

Palavras-chave: Confiabilidade, TMR, microeletrônica.

¹Aluno do de Engenharia Elétrica, Departamento de Engenharia Elétrica, UFCG, Campina Grande, PB, e-mail:

lucas.costa@ee.ufcg.edu.br

²Dr., Professor Adjunto I, Departamento de Engenharia Elétrica, UFCG, Campina Grande, PB, e-mail:

gutemberg@dee.ufcg.edu.br



EVALUATION AND DEVELOPMENT OF FAULT TOLERANT DIGITAL CIRCUITS

ABSTRACT

With the necessity for more reliable electronic devices in critical application environments and also with the advancement of electronics in reducing the proportions of integrated circuits, the problem of digital circuit failure occurrence is evident, so that the demand for methodologies for increased reliability is a reality. Systems that require high reliability are those where failure can lead to accidents, serious damage, or even disasters such as nuclear power plants, avionics or standalone vehicles. The reduction in integrated circuits provides serious problems for the implementation of nanometric circuits, such as power consumption and dissipation, current leakage and parametric variations, and these problems lead to a reduction in CMOS device reliability, which can seriously compromise the gains obtained with sizing technology. Using a reliability metric as an analysis tool, this paper proposes a methodology for increasing reliability based on the logical masking of voters by TMR. It is possible to divide the work into two strands, the development, validation and application of the proposed methodology and the development of a software to apply the reliability metric in circuits described in Verilog and serve as an aid to the digital circuit designer.

Keywords: Reliability, TMR, microelectronics.