



16, 17 e 18 de novembro de 2016.

Campina Grande, Paraíba, Brasil

TÉCNICAS PARA AUMENTO DO NÚMERO DE BITS DE CODIFICAÇÃO EM TAGS DE RFID SEM CHIP

Bruno José Sampaio de Sousa¹, Alexandre Jean René Serres²

RESUMO

Estudos recentes buscam desenvolver novas geometrias para etiquetas *RFID* nas quais o uso de um *chip* de silício é dispensável, pois a codificação é feita no domínio da frequência, ou seja, uma assinatura espectral emitida pela própria etiqueta. Um problema encontrado no desenvolvimento dessas etiquetas para RFID sem *chip* diz respeito ao tamanho da etiqueta, pois a medida que aumenta-se o número de *bits* possíveis de codificação, a etiqueta torna-se maior, o que não é desejável em diversas aplicações. Outro problema que deseja-se minimizar é com relação ao custo, pois se espera utilizar as etiquetas de RFID sem *chip* em aplicações de larga escala, por isso as simulações são feitas com um substrato de baixo custo. Simulações de geometrias para a etiqueta RFID sem *chip*, a fim de melhorar os resultados já presentes na literatura, foram realizadas no software *Advanced Design System*[®] (ADS) da *Keysight*.

Palavras-chave: *RFID* sem *Chip*, Circuitos Multi Ressonadores, Redução de Tamanho, Matrioska

¹Aluno do Curso de Engenharia Elétrica, Departamento de Engenharia Elétrica, UFCG, Campina Grande, PB, e-mail: bruno.sousa@ee.ufcg.edu.br

²Engenharia Elétrica, Professor Doutor, Departamento de Engenharia Elétrica, UFCG, Campina Grande, PB, e-mail: alexandreserres@dee.ufcg.edu.br



16, 17 e 18 de novembro de 2016.
Campina Grande, Paraíba, Brasil

TECHNIQUES TO INCREASE THE NUMBER OF ENCODING BITS IN CHIPLESS RFID TAGS

ABSTRACT

Recent studies seek to develop new geometries to RFID tags, in which a silicon chip is needless, because the codification is performed in the frequency domain, in other words, a spectral signature issued by the tag itself. A difficulty found on the chipless RFID tags development concerns the size of the tag, because, as the possible number of encoding bits is increased, the tag size is augmented, which is not desirable in many applications. Another difficulty which is desired to minimize involves the tag cost, since it is expected to use the chipless RFID tags for large scale applications, therefore, the simulations are made utilizing a low cost substrate. Simulations of geometries to the chipless RFID tag, in order to improve the previous results found on the literature, was performed using the software *Advanced Design System*[®] (ADS) da *Keysight*.

Keywords: RFID Chipless, Multiresonators Circuits, Size Reduction, Matrioska